# Prva domača naloga: Unarni operatorji v letu 2024/2025 - Povzetek ocen

## Unarni operatorji po VHDL-93: HDL koda

|  |  |  |
| --- | --- | --- |
| 1 | 64000225 | Generično konstanto N ste spremenili iz 64 na 10, zato nimate pravilnih rezultatov sinteze v poročilu o sintezi, sicer je naloga rešena pravilno. |
| 2 | 64190088 | Ni pripomb |
| 3 | 64200100 | Ni pripomb |
| 4 | 64200112 | Ni pripomb |
| 5 | 64200163 | Ni pripomb |
| 6 | 64200238 | Ni pripomb |
| 7 | 64200288 | Ni pripomb |
| 8 | 64200296 | Ni pripomb |
| 9 | 64200385 | Generično konstanto N ste spremenili iz 64 na 10, zato nimate pravilnih rezultatov sinteze v poročilu o sintezi, sicer je naloga rešena pravilno. |
| 10 | 64210132 | Ni pripomb |
| 11 | 64210290 | Ni pripomb |
| 12 | 64210382 | Ni pripomb |
| 13 | 64210384 | Ni pripomb |
| 14 | 64210386 | Ni pripomb |
| 15 | 64210445 | Ni pripomb |
| 16 | 64210455 | Spremenili ste ime arhitekture v “vhdl\_altered\_process”. Spremenili ste ime generične konstante iz N na WIDTH. Napake sintetizatorja:  ERROR:HDLCompiler:210 - "unary\_operators\_vhdl93\_IDEAL\_tb.vhd" Line 37: Architecture vhdl\_93\_process not found in entity reduction\_operators  ERROR:Simulator:777 - Static elaboration of top level VHDL design unit reduction\_operators\_tb in library work failed  Če oboje popravimo, vseeno ne dobimo pravilnih rezultatov:  Datoteka testnih vrednosti z xor, and in or unarnimi operatorji z zaporednim izracunom XOR  A, reduced\_OR, reduced\_AND, reduced\_XOR  0,0,0,0  1,1,0,1  2,1,0,0  3,1,0,0  4,1,0,1  5,1,0,1  6,1,0,1  7,1,0,0  OR dela pravilno, AND bi moral pri 7 (111) biti ‘1’, xor3 bi moral biti V(1,2,4,7), ne V(1,4,5,6). To je zato, ker sintetizator vrne opozorila o kombinacijski povratni vezavi (ang. signal(s) form a combinatorial loop), ker spremenljivke niso inicializirane znotraj procesa (result\_or := '0'), ampak samo na začetku (npr. variable result\_or: STD\_LOGIC := '0';). Razlika je v tem, da se priredba na začetku izvede samo \*\*ob začetku simulacije\*\*, priredba znotraj procesa pa vsakič, ko se proce izvede – torej ko se vektor A spremeni. Po vaši rešitvi ob vsaki naslednji spremembi signala A temp\_or ni inicializiran, zato opozorila. Če pa eksplicitno zahtevate, da je vrednost spremenljivke na začetku določena, potem kombinacijska povratna vezava ne more obstajati (temu se reče implicitni spomin znotraj procesa).  Opozorila sintetizatorja:  WARNING:Xst:2170 - Unit reduction\_operators : the following signal(s) form a combinatorial loop: Mmux\_process\_or.result\_or7, Mmux\_process\_or.result\_or3, Mmux\_process\_or.result\_or19, reduced\_OR, Mmux\_process\_or.result\_or15, Mmux\_process\_or.result\_or5, Mmux\_process\_or.result\_or1, Mmux\_process\_or.result\_or14, Mmux\_process\_or.result\_or10, Mmux\_process\_or.result\_or18, Mmux\_process\_or.result\_or13, Mmux\_process\_or.result\_or, Mmux\_process\_or.result\_or9, process\_or.result\_or\_A[63]\_OR\_1\_o, Mmux\_process\_or.result\_or11, Mmux\_process\_or.result\_or6, Mmux\_process\_or.result\_or2, Mmux\_process\_or.result\_or12, Mmux\_process\_or.result\_or16, Mmux\_process\_or.result\_or4, Mmux\_process\_or.result\_or8, Mmux\_process\_or.result\_or17.  WARNING:Xst:2170 - Unit reduction\_operators : the following signal(s) form a combinatorial loop: Mmux\_process\_and.result\_and18, Mmux\_process\_and.result\_and2, Mmux\_process\_and.result\_and15, Mmux\_process\_and.result\_and4, Mmux\_process\_and.result\_and16, process\_and.result\_and\_A[63]\_AND\_1\_o, Mmux\_process\_and.result\_and12, reduced\_AND, Mmux\_process\_and.result\_and5, Mmux\_process\_and.result\_and20, Mmux\_process\_and.result\_and1, Mmux\_process\_and.result\_and14, Mmux\_process\_and.result\_and6, Mmux\_process\_and.result\_and8, Mmux\_process\_and.result\_and3, Mmux\_process\_and.result\_and19, Mmux\_process\_and.result\_and11, Mmux\_process\_and.result\_and7, Mmux\_process\_and.result\_and10, Mmux\_process\_and.result\_and13, Mmux\_process\_and.result\_and, Mmux\_process\_and.result\_and17, Mmux\_process\_and.result\_and9.  WARNING:Xst:2170 - Unit reduction\_operators : the following signal(s) form a combinatorial loop: reduced\_XOR. |
| 17 | 64210457 | Ni pripomb |
| 18 | 64240429 | Ni pripomb |
| 19 | 64240430 | Generično konstanto N ste spremenili iz 64 na 10, zato nimate pravilnih rezultatov sinteze v poročilu o sintezi, sicer je naloga rešena pravilno. |

## Unarni operatorji po VHDL-93: Testbench

|  |  |  |
| --- | --- | --- |
| 1 | 64000225 | Procesa za krmiljenje signala ure ne rabite, ker gre za kombinacijsko vezje. |
| 2 | 64190088 | Ni pripomb |
| 3 | 64200100 | Ni pripomb |
| 4 | 64200112 | Ni pripomb |
| 5 | 64200163 | Ni pripomb |
| 6 | 64200238 | Ni pripomb |
| 7 | 64200288 | Ni pripomb |
| 8 | 64200296 | Ni pripomb |
| 9 | 64200385 | Ni pripomb |
| 10 | 64210132 | Ni pripomb |
| 11 | 64210290 | Procesa za krmiljenje signala ure ne rabite, ker gre za kombinacijsko vezje. |
| 12 | 64210382 | Ni pripomb |
| 13 | 64210384 | Ni pripomb |
| 14 | 64210386 | Pri povezovalnem stavku manjka generic map (N => N). Procesa za krmiljenje signala ure ne rabite, ker gre za kombinacijsko vezje. |
| 15 | 64210445 | Pri povezovalnem stavku manjka generic map (N => N). Procesa za krmiljenje signala ure ne rabite, ker gre za kombinacijsko vezje. |
| 16 | 64210455 | Upoštevajte navodila naloge in ne spreminjajte podatkov entitete – sicer vam naloge ne morem popraviti! |
| 17 | 64210457 | Ni pripomb |
| 18 | 64240429 | Ni pripomb |
| 19 | 64240430 | Ni pripomb |

## Unarni operatorji – drevesna izvedba (tree) : HDL koda

|  |  |  |
| --- | --- | --- |
| 1 | 64000225 | Pri generic map/port map stavku uporabljajte imensko povezovanje (ang.named association). |
| 2 | 64190088 | V zanki for niste izvedli zaporednega izračuna XOR, s katerim bi primerjali rezultat izračuna komponente. Ko imate to narejeno, je smiselno dodati kriterij za izhod, če je izračun napačen – npr.: exit when (O\_Xor\_serial /= O\_Xor); -- ob prvi napaki izhod iz zanke |
| 3 | 64200100 | Ni pripomb. Lepo, da ste uporabili assert. |
| 4 | 64200112 | V zanki for niste izvedli zaporednega izračuna XOR, s katerim bi primerjali rezultat izračuna komponente. Ko imate to narejeno, je smiselno dodati kriterij za izhod, če je izračun napačen – npr.: exit when (O\_Xor\_serial /= O\_Xor); |
| 5 | 64200163 | V zanki for niste izvedli zaporednega izračuna XOR, s katerim bi primerjali rezultat izračuna komponente. Ko imate to narejeno, je smiselno dodati kriterij za izhod, če je izračun napačen – npr.: exit when (O\_Xor\_serial /= O\_Xor); -- ob prvi napaki izhod iz zanke |
| 6 | 64200238 | Ni pripomb. Lepo, da ste uporabili assert. |
| 7 | 64200288 | V zanki for niste izvedli zaporednega izračuna XOR, s katerim bi primerjali rezultat izračuna komponente. Ko imate to narejeno, je smiselno dodati kriterij za izhod, če je izračun napačen – npr.: exit when (O\_Xor\_serial /= O\_Xor); |
| 8 | 64200296 | Ni pripomb. Lepo, da ste uporabili assert. |
| 9 | 64200385 | V zanki for niste izvedli zaporednega izračuna XOR, s katerim bi primerjali rezultat izračuna komponente. Ko imate to narejeno, je smiselno dodati kriterij za izhod, če je izračun napačen – npr.: exit when (O\_Xor\_serial /= O\_Xor); |
| 10 | 64210132 | V zanki for niste izvedli zaporednega izračuna XOR, s katerim bi primerjali rezultat izračuna komponente. Ko imate to narejeno, je smiselno dodati kriterij za izhod, če je izračun napačen – npr.: exit when (O\_Xor\_serial /= O\_Xor); |
| 11 | 64210290 | V zanki for niste izvedli zaporednega izračuna XOR, s katerim bi primerjali rezultat izračuna komponente. Ko imate to narejeno, je smiselno dodati kriterij za izhod, če je izračun napačen – npr.: exit when (O\_Xor\_serial /= O\_Xor); |
| 12 | 64210382 | Ni pripomb. Lepo, da ste uporabili assert. Pri generic map/port map stavku uporabljajte imensko povezovanje (ang.named association). |
| 13 | 64210384 | V zanki for niste izvedli zaporednega izračuna XOR, s katerim bi primerjali rezultat izračuna komponente. Ko imate to narejeno, je smiselno dodati kriterij za izhod, če je izračun napačen – npr.: exit when (O\_Xor\_serial /= O\_Xor); |
| 14 | 64210386 | Ni pripomb. Lepo, da ste uporabili assert. Pri generic map/port map stavku uporabljajte imensko povezovanje (ang.named association). |
| 15 | 64210445 | Ni pripomb. Lepo, da ste uporabili assert. Pri generic map/port map stavku uporabljajte imensko povezovanje (ang.named association). |
| 16 | 64210455 | Ni pripomb. Lepo, da ste uporabili assert. Pri generic map/port map stavku uporabljajte imensko povezovanje (ang.named association). |
| 17 | 64210457 | Ni pripomb. Lepo, da ste uporabili assert. Pri generic map/port map stavku uporabljajte imensko povezovanje (ang.named association). |
| 18 | 64240429 | Pri generic map/port map stavku uporabljajte imensko povezovanje (ang.named association). V zanki for niste izvedli zaporednega izračuna XOR, s katerim bi primerjali rezultat izračuna komponente. Ko imate to narejeno, je smiselno dodati kriterij za izhod, če je izračun napačen – npr.: exit when (O\_Xor\_serial /= O\_Xor); |
| 19 | 64240430 | V zanki for niste izvedli zaporednega izračuna XOR, s katerim bi primerjali rezultat izračuna komponente. Ko imate to narejeno, je smiselno dodati kriterij za izhod, če je izračun napačen – npr.: exit when (O\_Xor\_serial /= O\_Xor); |

## Unarni operatorji – drevesna izvedba (tree): Testbench

|  |  |  |
| --- | --- | --- |
| 1 | 64000225 | Ni pripomb |
| 2 | 64190088 | Ni pripomb |
| 3 | 64200100 | Ni pripomb |
| 4 | 64200112 | Ni pripomb |
| 5 | 64200163 | Ni pripomb |
| 6 | 64200238 | Ni pripomb |
| 7 | 64200288 | Ni pripomb |
| 8 | 64200296 | Ni pripomb |
| 9 | 64200385 | Ni pripomb |
| 10 | 64210132 | Napačen inicializacijski polinom za LUT3 (pravi je 96) Pretvorbe pri O <= I(I’left) ni iz std\_logic\_vector( 0 downto 0 ), ampak je direktno v std\_logic. |
| 11 | 64210290 | Ni pripomb |
| 12 | 64210382 | Ni pripomb |
| 13 | 64210384 | Ni pripomb |
| 14 | 64210386 | Napačen inicializacijski polinom za LUT3 (pravi je 96). Napačen inicializacijski polinom za LUT4 (pravi je 6996) Za LUT3 je konstanta inicializacije 8 bitna - torej x"96" in ne 32 bitna, kot v vašem primeru - dejansko pa xst vrže ven preostale vrednosti nad 7. bitom. Podobna logika velja za LUT4 in LUT5. Napake sintetizatorja:  ERROR:HDLCompiler:806 - "64210386\unary\_op\_xor\_tree\_lut6.vhd" Line 105: Syntax error near "signal".  ERROR:HDLCompiler:40 - "64210386\unary\_op\_xor\_tree\_lut6.vhd" Line 105: std\_logic is not a component  ERROR:HDLCompiler:806 - "64210386\unary\_op\_xor\_tree\_lut6.vhd" Line 106: Syntax error near "signal".  ERROR:HDLCompiler:40 - "64210386\unary\_op\_xor\_tree\_lut6.vhd" Line 106: std\_logic\_vector is not a component  ERROR:HDLCompiler:402 - "64210386\unary\_op\_xor\_tree\_lut6.vhd" Line 106: Expected an architecture identifier in index  ERROR:HDLCompiler:806 - "64210386\unary\_op\_xor\_tree\_lut6.vhd" Line 107: Syntax error near "signal".  ERROR:HDLCompiler:40 - "64210386\unary\_op\_xor\_tree\_lut6.vhd" Line 107: std\_logic\_vector is not a component  ERROR:HDLCompiler:402 - "64210386\unary\_op\_xor\_tree\_lut6.vhd" Line 107: Expected an architecture identifier in index  ERROR:HDLCompiler:806 - "64210386\unary\_op\_xor\_tree\_lut6.vhd" Line 108: Syntax error near "signal".  ERROR:HDLCompiler:40 - "64210386\unary\_op\_xor\_tree\_lut6.vhd" Line 108: std\_logic\_vector is not a component  ERROR:HDLCompiler:402 - "64210386\unary\_op\_xor\_tree\_lut6.vhd" Line 108: Expected an architecture identifier in index  ERROR:HDLCompiler:806 - "64210386\unary\_op\_xor\_tree\_lut6.vhd" Line 109: Syntax error near "signal".  ERROR:HDLCompiler:40 - "64210386\unary\_op\_xor\_tree\_lut6.vhd" Line 109: std\_logic\_vector is not a component  ERROR:HDLCompiler:402 - "64210386\unary\_op\_xor\_tree\_lut6.vhd" Line 109: Expected an architecture identifier in index  ERROR:HDLCompiler:806 - "64210386\unary\_op\_xor\_tree\_lut6.vhd" Line 110: Syntax error near "signal".  ERROR:HDLCompiler:40 - "64210386\unary\_op\_xor\_tree\_lut6.vhd" Line 110: std\_logic\_vector is not a component  ERROR:HDLCompiler:402 - "64210386\unary\_op\_xor\_tree\_lut6.vhd" Line 110: Expected an architecture identifier in index  ERROR:HDLCompiler:806 - "64210386\unary\_op\_xor\_tree\_lut6.vhd" Line 111: Syntax error near "signal".  ERROR:HDLCompiler:40 - "64210386\unary\_op\_xor\_tree\_lut6.vhd" Line 111: std\_logic\_vector is not a component  Sorry, too many errors.. |
| 15 | 64210445 | Napačen inicializacijski polinom za LUT3 (pravi je 96) Napačen inicializacijski polinom za LUT4 (pravi je 6996) Za LUT3 je konstanta inicializacije 8 bitna - torej x"96" in ne 32 bitna, kot v vašem primeru - dejansko pa xst vrže ven preostale vrednosti nad 7. bitom. Podobna logika velja za LUT4 in LUT5. |
| 16 | 64210455 | Ni pripomb |
| 17 | 64210457 | Napačen inicializacijski polinom za LUT3 (pravi je 96) |
| 18 | 64240429 | Ni pripomb |
| 19 | 64240430 | Ni pripomb |