

VPISNA ŠTEVILKA	Ocene_T_FF	Ocene_T_FF_TESTBENCH	Ocene_UD_COUNTER	Ocene_UD_COUNTER_TESTBENCH	Ocene_LIFO	Ocene_LIFO_TESTBENCH	OCENA
64190088	Ni pripomb		Ni pripomb		EMPTY zastavica ne deluje pravilno – po brisanju (nCLR='0') je sklad prazen. FULL zastavica ne deluje pravilno – ko je sklad poln, se postavi (do sem je ok), potem pa mora to vrednost ohranjati, dokler ni operacije pop (tu je napaka). POP operacija ne deluje pravilno – izhod sklada je vedno 0. Opozorila sintetizatorja: WARNING:HDLCompiler:746 - "lifo.vhd" Line 71: Range is empty (null range) Napisali ste: 0 downto (lifo_width - 1), verjetno ste mislili obratno: 0 to (lifo_width - 1). Pri primerjavi std_logic_vector tipa z integer konstanto morate uporabiti unsigned: unsigned(lifo_ctr) = lifo_size.		
64000225	Ni pripomb	Ni pripomb	Ni pripomb	Ni pripomb	Iz simulacije sledi, da operacija POP ne deluje pravilno za prvovpisani podatek (oz. zadnji prebrani podatek), ker je v pogoju za izhodni 3-stanjski vmesnik postavljeno EMPTY='0'. Zastavica EMPTY se postavi takoj ko preberemo zadnji podatek iz sklada (ki pa je še vedno veljaven – ni enak Z). Pogoji za 3-stanjski vmesnik torej ni odvisen od EMPTY.	Ni pripomb	
64200100	Ni pripomb	Ni pripomb	Ni pripomb	Ni pripomb	Iz simulacije sledi, da operacija POP ne deluje pravilno za prvovpisani podatek (oz. zadnji prebrani podatek), ker je v pogoju za izhodni 3-stanjski vmesnik postavljeno EMPTY='0'. Zastavica EMPTY se postavi takoj ko preberemo zadnji podatek iz sklada (ki pa je še vedno veljaven – ni enak Z). Pogoji za 3-stanjski vmesnik torej ni odvisen od EMPTY. – ***** *****	Ni pripomb	
64210384	Ni pripomb	Ni pripomb	Ni pripomb	Ni pripomb	Iz simulacije sledi, da operacija POP ne deluje pravilno za prvovpisani podatek (oz. zadnji prebrani podatek), ker je v pogoju za izhodni 3-stanjski vmesnik postavljeno EMPTY='0'. Zastavica EMPTY se postavi takoj ko preberemo zadnji podatek iz sklada (ki pa je še vedno veljaven – ni enak Z). Pogoji za 3-stanjski vmesnik torej ni odvisen od EMPTY. – ***** *****	Ni pripomb	
64240430	Ni pripomb	Ni pripomb	Ni pripomb	Ni pripomb	Iz simulacije sledi, da operacija POP ne deluje pravilno za prvovpisani podatek (oz. zadnji prebrani podatek), ker je v pogoju za izhodni 3-stanjski vmesnik postavljeno EMPTY='0'. Zastavica EMPTY se postavi takoj ko preberemo zadnji podatek iz sklada (ki pa je še vedno veljaven – ni enak Z). Pogoji za 3-stanjski vmesnik torej ni odvisen od EMPTY. – ***** *****	Ni pripomb	

VPISNA ŠTEVILKA	Ocene_T_FF	Ocene_T_FF_TESTBENCH	Ocene_UD_COUNTER	Ocene_UD_COUNTER_TESTBENCH	Ocene_LIFO	Ocene_LIFO_TESTBENCH	OCENA
64210445	Ni pripomb	Ni pripomb	Ni pripomb library IEEE;	Ni pripomb	Iz simulacije sledi, da operacija POP ne deluje pravilno za prvovpisani podatek (oz. zadnji prebrani podatek), ker je v pogoju za izhodni 3-stanjski vmesnik postavljeno EMPTY='0'. Zastavica EMPTY se postavi takoj ko preberemo zadnji podatek iz sklada (ki pa je še vedno veljaven – ni enak Z). Pogoj za 3-stanjski vmesnik torej ni odvisen od EMPTY. -- ***** *****	Ni pripomb	
64200296	Ni pripomb	Ni pripomb	RCO deluje narobe, zato tudi šteje -3,-4,-13,-14 ... (moral bi nadaljevati -5,-6...) Namesto: rco<= t(ctr_size-1); bi morali imeti: rco<= t(ctr_size);	Ni pripomb	Iz simulacije sledi, da operacija POP ne deluje pravilno za prvovpisani podatek (oz. zadnji prebrani podatek), ker je v pogoju za izhodni 3-stanjski vmesnik postavljeno EMPTY='0'. Zastavica EMPTY se postavi takoj ko preberemo zadnji podatek iz sklada (ki pa je še vedno veljaven – ni enak Z). Pogoj za 3-stanjski vmesnik torej ni odvisen od EMPTY. -- ***** *****	Ni pripomb	
64200238	Ni pripomb	Ni pripomb	RCO ne deluje pravilno pri štetju navzdol. RCO se postavi vedno, ko je štetje navzgor (štetje so same enke) ali ko je štetje navzdol in je štetje vrednost nič, oz. zapis povedanega z when-else (glej komentar spodaj).	Ni pripomb	Iz simulacije sledi, da operacija POP ne deluje pravilno za prvovpisani podatek (oz. zadnji prebrani podatek), ker je v pogoju za izhodni 3-stanjski vmesnik postavljeno EMPTY='0'. Zastavica EMPTY se postavi takoj ko preberemo zadnji podatek iz sklada (ki pa je še vedno veljaven – ni enak Z). Pogoj za 3-stanjski vmesnik torej ni odvisen od EMPTY. -- ***** *****	Ni pripomb	
64210386	Ni pripomb	Ni pripomb	Uporabljate stare Synopsis knjižnice (STD_LOGIC_ARITH), česar v predlogah že ni kar nekaj let. -- *****	Ni pripomb	Iz simulacije sledi, da operacija POP ne deluje pravilno za prvovpisani podatek (oz. zadnji prebrani podatek), ker je v pogoju za izhodni 3-stanjski vmesnik postavljeno EMPTY='0'. Zastavica EMPTY se postavi takoj ko preberemo zadnji podatek iz sklada (ki pa je še vedno veljaven – ni enak Z). Pogoj za 3-stanjski vmesnik torej ni odvisen od EMPTY. -- ***** *****	Ni pripomb	

VPISNA ŠTEVILKA	Ocene_T_FF	Ocene_T_FF_TESTBENCH	Ocene_UD_COUNTER	Ocene_UD_COUNTER_TESTBENCH	Ocene_LIFO	Ocene_LIFO_TESTBENCH	OCENA
64200163	Ni pripomb	Ni pripomb	Ni pripomb	Ni pripomb	Izhod sklada se mora pojaviti TAKOJ, ko se postavi POP operacija. Problem je v zapisu izhoda za data: data <= lifo_out when lifo_mode = "00010" or lifo_mode = "00011" else (others => 'Z'); Iz zgornjega sledi, da lifo_out postane izhod, če sklad ni poln – dejansko je branje sklada čisto neodvisno od zastavice FULL (važno samo, da ni prazen). Pravilno bi se glasilo: data <= lifo_out when (nEnable = '0' and POP = '1') else (others => 'Z'); Sklad lahko beremo, če je omogočen in če je operacija POP. Če je sklad praze (EMPTY), potem ostaja na izhodu zadnja vpisana vrednost (uporabnik pač lahko bere prazen sklad – ni sicer verjetno, ampak se zgodi).	Izhod ni dvojno shranjen (ang. Double buffering) – Ko pride prva POP operacija, je na izhodu nič, ne pa zadnji vpisan podatek v sklad.	
64210455	Ni pripomb	Ni pripomb	Uporabljajte stare Synopsis knjižnice (STD_LOGIC_ARITH), česar v predlogah že ni kar nekaj let. Nalogo ste naredili z drugimi signali v entiteti, zato je ne morem oceniti. Rezultatov simulacije ni, ker so napake sintetizatorja: ERROR:HDLCompiler:244 - "ud_counter_IDEAL_tb.vhd" Line 15: Binding entity ud_counter does not have generic ctr_size ERROR:HDLCompiler:1156 - "ud_counter_IDEAL_tb.vhd" Line 18: Formal port <nCLR> does not exist in entity <ud_counter>. Please compare the definition of block <ud_counter> to its component declaration and its instantiation to detect the mismatch. ERROR:HDLCompiler:1156 - "ud_counter_IDEAL_tb.vhd" Line 19: Formal port <D_nU> does not exist in entity <ud_counter>. Please compare the definition of block <ud_counter> to its component declaration and its instantiation to detect the mismatch. ERROR:HDLCompiler:1156 - "ud_counter_IDEAL_tb.vhd" Line 20: Formal port <EN> does not exist in entity <ud_counter>. Please compare the definition of block <ud_counter> to its component declaration and its instantiation to detect the mismatch. ERROR:HDLCompiler:1156 - "ud_counter_IDEAL_tb.vhd" Line 21: Formal port <RCO> does not exist in entity <ud_counter>. Please compare the definition of block <ud_counter> to its component declaration and its instantiation to detect the mismatch. ERROR:HDLCompiler:1156 - "ud_counter_IDEAL_tb.vhd" Line 22: Formal port <Q> does not exist in entity <ud_counter>. Please compare the definition of block <ud_counter> to its component declaration and its instantiation to detect the mismatch. ERROR:Simulator:777 - Static elaboration of top level VHDL design unit ud_counter_ideal_tb in library work failed 'ud_counter_tb_isim_beh.exe' is not recognized as an internal or external command, operable program or batch file. -- *****	Ni pripomb	Naloga ni programirana.	Ni pripomb	
64200385	Ni pripomb	Ni pripomb	Ni pripomb	Ni pripomb	Ni pripomb	Ni pripomb	10
64210290	Ni pripomb	Ni pripomb	Ni pripomb	Ni pripomb	Ni pripomb	Ni pripomb	10
64200112	Ni pripomb		Ni pripomb		Ni pripomb		

VPISNA ŠTEVILKA	Ocene_T_FF	Ocene_T_FF_TESTBENCH	Ocene_UD_COUNTER	Ocene_UD_COUNTER_TESTBENCH	Ocene_LIFO	Ocene_LIFO_TESTBENCH	OCENA
64210132	Ni pripomb	Ni pripomb	Uporabljate stare Synopsis knjižnice (STD_LOGIC_ARITH), česar v predlogah že ni kar nekaj let. Rezultatov simulacije ni, ker so napake sintetizatorja: ERROR:HDLCompiler:40 - "ud_counter.vhd" Line 31: tff is not a component Pri poimenovanju neke komponente v povezovalnem stavku lahko uporabite katerokoli ime **RAZEN** imena te komponente: Namesto: tff: tff port map(... naredite t_ff: tff port map(Po tej spremembi simulacija deluje pravilno. -- *****	Ni pripomb	Ni rezultatov simulacije zaradi napak sintetizatorja: ERROR:HDLCompiler:40 - "lifo.vhd" Line 76: dff is not a component Pri poimenovanju neke komponente v povezovalnem stavku lahko uporabite katerokoli ime **RAZEN** imena te komponente: Namesto: dff: tff port map(... naredite d_ff: dff port map(ERROR:HDLCompiler:69 - "lifo.vhd" Line 83: <full_sig> is not declared. Uporabljate signal: lifo_mode <= PUSH & POP & FULL_sig & EMPTY_sig & nEnable; Pri čemer imate deklarirana svoja signala: signal FULL_s, EMPTY_s : std_logic; Po teh spremembah simulacija deluje pravilno. Uporabljate stare Synopsis knjižnice (STD_LOGIC_ARITH), česar v predlogah že ni kar nekaj let.	Ni pripomb	9
64200288	Ni pripomb	Ni pripomb	Ni pripomb	Ni pripomb	Ni rezultatov simulacije, so pa napake sintetizatorja: ERROR:HDLCompiler:580 - "lifo.vhd" Line 126: Mismatch on label ; expected ideal Ime arhitekture se mora ujemati na začetku in na koncu. Na začetku imate "improved", na koncu imate "ideal". (Po tej spremembi simulacija deluje pravilno.	Ni pripomb	9
64210113	Ni pripomb	Ni pripomb	Če sestavimo verigo dveh števcov (LO – šteje sp. 4 bite, HI - šteje zg. 4 bite), potem RCO HI števca ne deluje pravilno. Pri šteju 0, v smeri navzdol bi se moral tudi izhodni RCO_HI postaviti na '1', pa se postavi pri šteju 1, ne 0. Pri šteju navzgor bi se moral postaviti nazaj na '0', ko gre štetje iz -7 na -8. RCO ni preliv – služi zgolj krmiljenju nadrejenih števcov. Manjka krmiljenje T(0) – podobno za prvi element zg. In sp. verige AND vrat: Nista '1', ampak sta pogojena s smerjo: Veriga T se nadaljuje do ctr_size, ne do ctr_size-1. Izhodni RCO je potem zadnji element verige T (RCO <= T(ctr_size);) – Matej Možek: Uporabljate stare Synopsis knjižnice (STD_LOGIC_ARITH), česar v predlogah že ni kar nekaj let.	Ni pripomb	Uporabljate stare Synopsis knjižnice (STD_LOGIC_ARITH), česar v predlogah že ni kar nekaj let. Iz simulacije sledi, da operacija POP ne deluje pravilno za prvovpisani podatek (oz. zadnji prebrani podatek), ker je v pogoju za izhodni 3-stanjski vmesnik postavljeno EMPTY='0'. Zastavica EMPTY se postavi takoj ko preberemo zadnji podatek iz sklada (ki pa je še vedno veljaven – ni enak Z). Pogoji za 3-stanjski vmesnik torej ni odvisen od EMPTY. -- *****	Ni pripomb	
64210382	Ni pripomb	Ni pripomb	Uporabljate stare Synopsis knjižnice (STD_LOGIC_ARITH), česar v predlogah že ni kar nekaj let. -- *****	Ni pripomb	Uporabljate stare Synopsis knjižnice (STD_LOGIC_ARITH), česar v predlogah že ni kar nekaj let. Iz simulacije sledi, da operacija POP ne deluje pravilno za prvovpisani podatek (oz. zadnji prebrani podatek), ker je v pogoju za izhodni 3-stanjski vmesnik postavljeno EMPTY='0'. Zastavica EMPTY se postavi takoj ko preberemo zadnji podatek iz sklada (ki pa je še vedno veljaven – ni enak Z). Pogoji za 3-stanjski vmesnik torej ni odvisen od EMPTY. -- *****	Ni pripomb	9

VPISNA ŠTEVILKA	Ocene_T_FF	Ocene_T_FF_TESTBENCH	Ocene_UD_COUNTER	Ocene_UD_COUNTER_TESTBENCH	Ocene_LIFO	Ocene_LIFO_TESTBENCH	OCENA
64210457	Ni pripomb	Ni pripomb	Uporabljate stare Synopsis knjižnice (STD_LOGIC_ARITH), česar v predlogah že ni kar nekaj let. -- *****	Ni pripomb	Uporabljate stare Synopsis knjižnice (STD_LOGIC_ARITH), česar v predlogah že ni kar nekaj let. Iz simulacije sledi, da operacija POP ne deluje pravilno za prvovpisani podatek (oz. zadnji prebrani podatek), ker je v pogoju za izhodni 3-stanjski vmesnik postavljeno EMPTY='0'. Zastavica EMPTY se postavi takoj ko preberemo zadnji podatek iz sklada (ki pa je še vedno veljaven – ni enak Z). Pogoji za 3-stanjski vmesnik torej ni odvisen od EMPTY. ----- -----	Ni pripomb	